



Patent

Customer No. 31561
Application No.: 10/605,034
Docket No. 10231-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Re application of

Applicant : Tao et al.
Application No. : 10/605,034
Filed : September 03, 2003
For : CHIP PACKAGE STRUCTURE AND METHOD FOR
MANUFACTURING THE SAME
Examiner :
Art Unit : 2812

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:
091137974, filed on: 2002/12/31.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated:

April 27, 2004

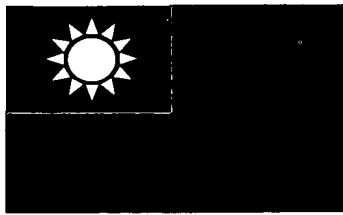
By:

Belinda Lee

Belinda Lee

Registration No.: 46,863

Please send future correspondence to:
7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請 日：西元 2002 年 12 月 31 日
Application Date

申請 案 號：091137974
Application No.

申請 人：日月光半導體製造股份有限公司
Applicant(s)

局 長

Director General

蔡 練 生

發文日期：西元 2003 年 9 月 16 日
Issue Date

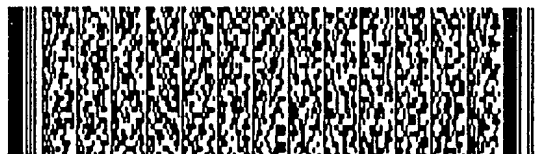
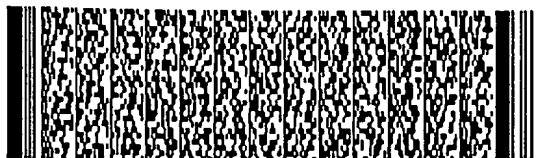
發文字號：09220933920
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	晶片封裝結構及其製程
	英 文	Semiconductor chip package and method for the same
二、 發明人 (共5人)	姓 名 (中文)	1. 陶恕 2. 羅光淋
	姓 名 (英文)	1. Tao, Su 2. Lo, Kuang-Lin
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 高雄市左營區崇實新村72之2號 2. 高雄縣大樹鄉九曲村神農街50號
	住居所 (英 文)	1. No. 72-2, Tsungshih Hsin-tsun, Tsoying Chu, Kaohsiung, Taiwan, R.O.C. 2. No. 50, Shen-Nung St., Jiou-Chiu Tsuen, Ta-Shu Shiang, Kaoshiung
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或 姓 名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 26, Chin 3rd. Rd., 811, Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Chien-Sheng Chang

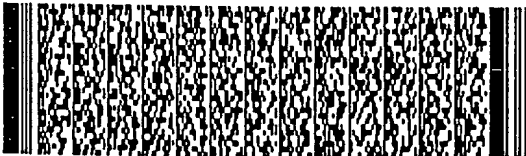


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共5人)	姓名 (中文)	3. 李宗聖 4. 楊耀裕
	姓名 (英文)	3. Lee Tsung Sheng 4. Yaw-Yuh Yang
	國籍 (中英文)	3. 中華民國 TW 4. 中華民國 TW
	住居所 (中文)	3. 高雄市三民區同德里20鄰遼寧一街23號 4. 台南市中華東路3段399巷21弄7號5樓
	住居所 (英文)	3. No. 23, Liao-Ning I St., Kaoshiung, Taiwan, R.O.C. 4. 5F, No. 7, Alley 21, Lane 399, Sec. 3, Chunghua E Rd., Tainan, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	

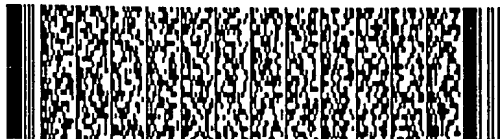


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共5人)	姓 名 (中文)	5. 陶元凱
	姓 名 (英文)	5. Yuan-Kai , Tao
	國 籍 (中英文)	5. 中華民國 TW
	住居所 (中 文)	5. 高雄縣路竹鄉竹滬村13鄰華山路98巷1-1號
	住居所 (英 文)	5. No. 1-1, Lane 98, Hua-Shang Rd., Chu-Hu Tsuen, Lu-Chu Shiang, Kaohsiung Hsien, Tawian, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：晶片封裝結構及其製程)

一種晶片封裝製程，首先要提供一基板。接著，要配設多個晶片於基板上，且晶片與基板電性連接。然後，還要配設一加勁構件於基板上，且加勁構件具有一頂面及對應之一底面，加勁構件之底面係朝向基板。接下來，還要形成一封裝材料以包覆晶片、基板、加勁構件之頂面及加勁構件之底面。之後，要切割封裝材料、基板及加勁構件。

伍、(一)、本案代表圖為：第____6____圖

(二)、本案代表圖之元件代表符號簡單說明：

210：基板	230：晶片
250：加勁構件	252：頂部
254：側壁部份	256：凸緣
276：封裝材料	280：導線

陸、英文發明摘要 (發明名稱：Semiconductor chip package and method for the same)

A method for manufacturing semiconductor chip packages includes the following steps. First, a substrate is provided. Subsequently, many chips are assembled onto the substrate and are electrically connected therewith. Next, a stiffener is assembled onto the substrate and the stiffener has a top surface and a bottom surface facing the substrate. Next, a molding compound is



四、中文發明摘要 (發明名稱：晶片封裝結構及其製程)

陸、英文發明摘要 (發明名稱：Semiconductor chip package and method for the same)

formed to cover the semiconductor chip, the substrate, the top surface of the stiffener and the bottom surface of the stiffener. Afterwards, the molding compound, the substrate and the stiffener are cut for performing a singulation step.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

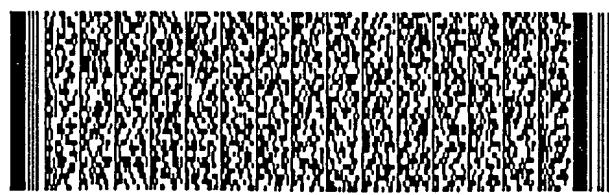
發明所屬之技術領域

本發明是有關於一種晶片封裝結構及其製程，且特別是有關於一種可降低封裝體翹曲程度之晶片封裝結構及其所對應之製程。

先前技術

在半導體產業中，積體電路(Integrated Circuits, IC)的生產，主要分為三個階段：裸晶片(die)的製造、積體電路(IC)的製作以及積體電路(IC)的封裝(Package)等。其中，裸晶片係經由晶圓(Wafer)製作、電路設計、光罩製作以及切割晶圓等步驟而完成，而每一顆由晶圓切割所形成的裸晶片，經由裸晶片上之焊墊(Bonding Pad)與外部訊號電性連接後，再以封膠材料將裸晶片包覆著，其封裝之目的在於防止裸晶片受到濕氣、熱量、雜訊的影響，並提供裸晶片與外部電路，比如與印刷電路板(Printed Circuit Board, PCB)或其他封裝用基板之間電性連接的媒介，如此即完成積體電路的封裝(Package)步驟。

在現今的電子產品中一般均朝向輕、薄、短、小的趨勢發展，尤其是攜帶式的電子產品，因此在半導體封裝技術上，亦開發出許多小型晶片封裝結構，比如是晶片尺寸構裝(Chip Scale Package, CSP)、迷你球格陣列封裝(mini-BGA)或微型球格陣列封裝(micro-BGA)等。就迷你球格陣列封裝而言，係先將多個晶片以其背面黏貼到基板上，並利用打線的方式使晶片與基板電性連接，接著再灌

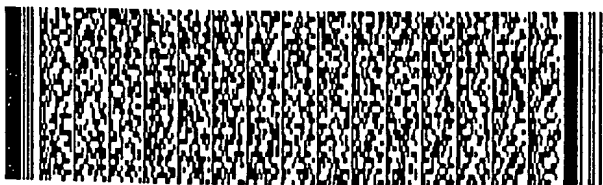


五、發明說明 (2)

入封裝材料同時包覆多個晶片及基板，之後再利用切割的方式進行單切的步驟，以形成多個晶片封裝體。因此在上述的迷你球格陣列封裝中，每一晶片封裝體之封裝材料的面積會等於基板的面積，故可以提高封裝積集度，亦即晶片面積相對於基板面積的比例可以大幅提高，以符合半導體封裝之輕、薄、短、小的目的。另外，就製程上而言，迷你球格陣列封裝之製作成本甚低且其產量亦甚高，因此被廣泛地應用在半導體封裝領域中。

請參照第1A圖及第1B圖，其中第1A圖繪示習知迷你球格陣列封裝在切割之前的上視示意圖，第1B圖繪示習知迷你球格陣列封裝在切割之後的剖面示意圖。一般就迷你球格陣列封裝而言，係將多個晶片130以矩陣排列的方式固定到一基板110上，並藉由打線的方式與基板110電性連接。之後，再進行一封膠製程，其係先將一模具(未繪示)之凹穴蓋到基板110上，在凹穴中會容納多個晶片130，然後再灌入一封裝材料170到模具之凹穴中，使得封裝材料170可以包覆晶片130及導線180，如此一道封膠製程便可以完成多個晶片封裝體102之封膠作業，其中每一晶片封裝體102均包括基板110、晶片130及封裝材料170。接下來，便進行切割的製程，使得每一晶片封裝體102可以被分離。

然而，在進行切割製程時，每一晶片封裝體102因受應力，使得晶片封裝體102會產生翹曲的現象，當基板110甚薄時，其翹曲的現象更為嚴重，如第2B圖所示。此時若



五、發明說明 (3)

將晶片封裝體102裝配到一母板(未繪示)上時，基板110邊緣位置相距母板之間的距離係大於基板110中間位置相距母板之間的距離，因此位在基板110邊緣位置的焊球182與母板接合後，在經過多次熱循環的操作下，常會有破裂或剝離的現象。

發明內容

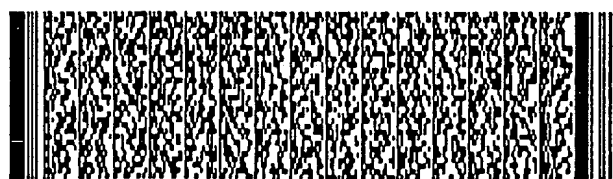
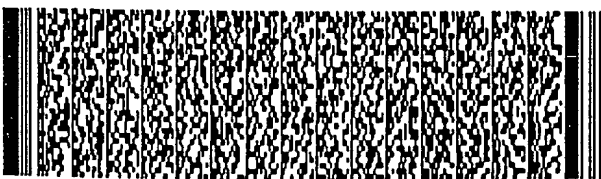
有鑑於此，本發明的一目的是提出一種晶片封裝結構及其製程，可以大幅降低基板之翹曲程度。

本發明的另一目的是提出一種晶片封裝結構及其製程，可以大幅提昇基板與母板間的接合可靠度。

在敘述本發明之前，先對空間介詞的用法做界定，所謂空間介詞"上"係指兩物之空間關係係為可接觸或不可接觸均可。舉例而言，A物在B物上，其所表達的意思係為A物可以直接配置在B物上，A物有與B物接觸；或者A物係配置在B物上的空間中，A物沒有與B物接觸。

為達本發明之上述目的，提出一種晶片封裝製程，首先要提供一基板。接著，要配設多個晶片於基板上，且晶片與基板電性連接。然後，還要配設一加勁構件於基板上，且加勁構件具有一頂面及對應之一底面，加勁構件之底面係朝向基板。接下來，還要形成一封裝材料以包覆晶片、基板、加勁構件之頂面及加勁構件之底面。之後，要切割封裝材料、基板及加勁構件。

依照本發明之一較佳實施例，加勁構件具有多個開口，其位置對應於晶片配置在基板上的位置，而依照本發



五、發明說明 (4)

明之另一較佳實施例，加勁構件之底面係朝向晶片。另外，散熱構件可以藉由一黏著材料與基板接合。此外，在切割晶片、基板及加勁構件之後，還要形成多個焊球於基板上；或者在切割晶片、基板及加勁構件之前，要形成多個焊球於基板上。另外，在配設晶片於基板上時，晶片係藉由一黏著材料貼附於基板上，且還進行一打線製程以形成多條導線電性連接晶片與基板。而加勁構件的材質比如是銅。

綜上所述，本發明之晶片封裝結構及其製程，由於加勁構件具有較高之勁度，因此在進行切割製程時，尤其在基板係為甚薄的狀態下，比如約為0.1公釐到0.5公釐之間，藉由加勁構件可以大幅縮減晶片封裝體之翹曲程度，而使得基板之下表面係呈現較為平整的狀態。故當晶片封裝體裝配到一母板上時，基板邊緣位置相距母板之間的距離與基板中間位置相距母板之間的距離之間的差距會縮小，因此位在基板邊緣位置的焊球在與母板接合後，即使經過多次熱循環的操作下，亦可以避免產生破裂或剝離的現象，且可以大幅提高基板與母板間接合的可靠度。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

請參照第2圖至第8圖，其繪示依照本發明第一較佳實施例之一種迷你球格陣列封裝製程之剖面放大示意圖。

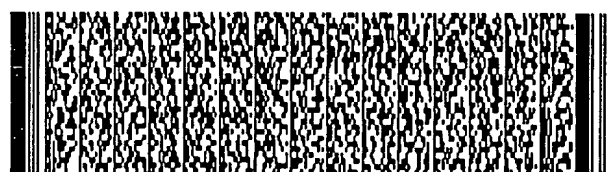
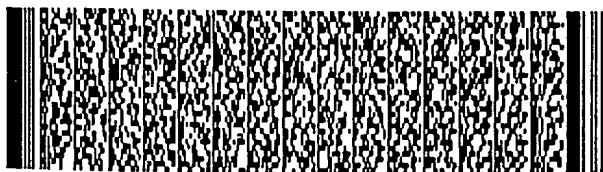


五、發明說明 (5)

首先，請參照第2圖，本發明之迷你球格陣列封裝製程要先提供一基板210，其中基板210具有一上表面212及一下表面222，並且基板210還具有多個晶片座214、多個接點216、224，其中晶片座214係以矩陣排列的方式配置在基板210之上表面212上，而接點216亦位在基板210之上表面212上且環繞在所對應之晶片座214的周圍；接點224係配置在基板210之下表面222上。

接下來，還要提供多個晶片230，每一晶片230具有一主動表面232及對應之一背面242，並且每一晶片230還具有多個接點234，環繞在晶片230之主動表面232上的周圍位置。而每一晶片230係以其背面242並藉由一黏著材料244貼附在對應的基板210之晶片座214上。並且藉由打線的方式，透過導線280可以使每一晶片230與基板210電性連接，而導線280之一端係接合到晶片230之接點234上，導線280之另一端係接合到基板210之接點216上。

請參照第3圖及第3A圖，其中第3A圖繪示第3圖中加勁構件的上視示意圖。接下來，可以利用一黏著材料290將一加勁構件250貼附到基板230上，加勁構件250係類似蓋子的結構，其係由一頂部252、一側壁部份254及一凸緣256所構成，側壁部份254之上側254a係環繞連接於頂部252之周緣處，並且側壁部份254係傾斜於頂部252，藉由加勁構件250之頂部252及側壁部份254會形成一容納孔258，可以容納多個晶片230。而加勁構件250還具有多個開口260，以矩陣排列的方式配置在加勁構件250的頂部

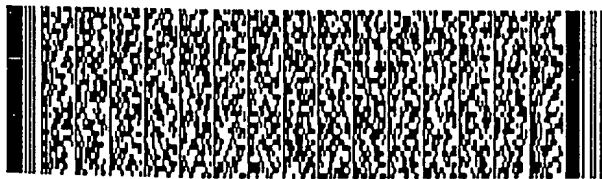


五、發明說明 (6)

252，並且開口260的位置係對應於晶片230配置在基板210上的位置。凸緣256係環繞連接於側壁部份254之下側254b，並且凸緣256係向容納孔258的外部方向延伸，而其延伸方向係平行於頂部252，其中加勁構件250係以其凸緣256與基板210接合。此外，加勁構件250的材質比如是銅或是其他不易撓曲的材質。

請參照第4圖，接下來進行灌模製程，首先要提供一模具270，模具270具有一模穴272及一頂壓部274，頂壓部274係位在模穴272的周圍。接著，將模具270頂壓到基板210上，其中模具270係以其頂壓部274頂壓到加勁構件250的凸緣256上，此時模具250之模穴272會容納晶片230、導線280及加勁構件250。接著，便灌入一封裝材料276到模具270之模穴272中，如第5圖所示，封裝材料276會包覆晶片230、導線280及加勁構件250，而加勁構件250具有一頂面262及對應之一底面264，加勁構件250之底面264係朝向基板210，而封裝材料276係包覆加勁構件250之頂面262及加勁構件250之底面264。接著，再進行冷卻、脫膜等步驟，而形成如第6圖所示的樣式。

接著可以利用一刀具(未繪示)來切割封裝材料276、加勁構件250及基板210，以形成多個獨立的晶片封裝體300，如第7圖所示，其中每一晶片封裝體300均具有基板210、晶片230、多個導線280、加勁構件250之頂部256及封裝材料276，其構件之間的相關位置如前所述，在此便不再贅述。最後，再利用植球的方式，植上多個焊球282



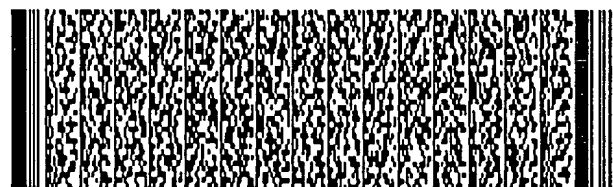
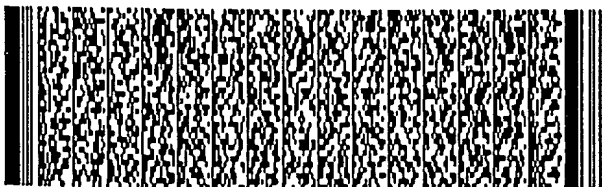
五、發明說明 (7)

於基板210之接點224上，形成如第8圖所示的結構。

在上述的實施例中，係先進行切割的步驟，才再進行植球的步驟，然而本發明的應用並非僅限於此，亦可以是先進行植球的步驟，再進行切割的步驟。請依序參照第9圖及第8圖，其中第9圖繪示依照本發明第一較佳實施例之另一種迷你球格陣列封裝製程之剖面放大示意圖。請先參照第9圖，在進行灌模製程之後，可以先利用植球的方式，植上多個焊球282於基板210之接點224上，接著再利用一刀具(未繪示)來切割封裝材料276、加勁構件250及基板210，以形成多個獨立的晶片封裝體300，如第8圖所示。

請參照第8圖，在上述的晶片封裝體300中，由於加勁構件250具有較高之勁度，因此在進行切割製程時，尤其在基板210係為甚薄的狀態下，比如約為0.1公釐到0.5公釐之間，藉由加勁構件250可以大幅縮減晶片封裝體300之翹曲程度，而使得基板210之下表面222係呈現較為平整的狀態。故當晶片封裝體300裝配到一母板(未繪示)上時，基板210邊緣位置相距母板之間的距離與基板210中間位置相距母板之間的距離之間的差距會縮小，所以位在基板210邊緣位置的焊球282在與母板接合後，即使經過多次熱循環的操作下，亦可以避免產生破裂或剝離的現象，因而可以大幅提高基板210與母板間接合的可靠度。

在前述的較佳實施例中，加勁構件具有多個開口，其係以矩陣排列的方式配置在加勁構件的頂部，然而本發

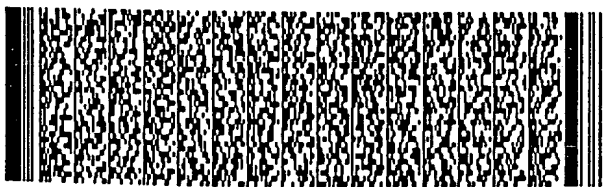


五、發明說明 (8)

明的應用並非限於此，加勁結構亦可以是不具開口的樣式，如第10圖及第11圖所示，其繪示依照本發明第二較佳實施例之一種迷你球格陣列封裝製程之剖面放大示意圖，其中若是本實施例中的標號與第一較佳實施例一樣者，則表示在本實施例中所指明的構件係雷同於在第一較佳實施例中所指明的構件，在此便不再贅述。

請先參照第10圖，其中加勁構件350係類似蓋子的結構，其係由一頂部352、一側壁部份354及一凸緣356所構成，側壁部份354之上側354a係環繞連接於頂部352之周緣處，並且側壁部份354係傾斜於頂部352，藉由加勁構件350之頂部352及側壁部份354會形成一容納孔358，可以容納多個晶片230，而加勁構件350之頂部352還具有一頂面362及對應之一底面360，加勁構件350之底面360係朝向晶片230及基板210。而凸緣356係環繞連接於側壁部份354之下側354b，並且凸緣356係向容納孔358的外部方向延伸，而其延伸方向係平行於頂部352，其中加勁構件350係以其凸緣356與基板210接合，而在進行灌模時，模具270之頂壓部274會頂壓到加勁構件350的凸緣356上，且封裝材料276會包覆加勁構件350之頂面362及加勁構件350之底面360。此外，加勁構件350的材質比如是銅或是其他不易撓曲的材質。

接著，請參照第11圖，在進行灌模製程之後，還要進行如前所述之植上焊球及切割等步驟，最後會形成多個獨立的晶片封裝體400，每一晶片封裝體400均具有基板



五、發明說明 (9)

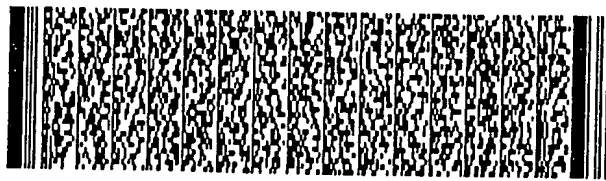
210、晶片230、多個導線280、加勁構件350之頂部356、封裝材料276及焊球282，其構件之間的相關位置如前所述，在此便不再贅述。

綜上所述，本發明之具有散熱構件之多晶片封裝模組至少具有下列優點：

1. 本發明之晶片封裝結構及其製程，由於加勁構件具有較高之勁度，因此在進行切割製程時，尤其在基板係為甚薄的狀態下，比如約為0.1公釐到0.5公釐之間，藉由加勁構件可以大幅縮減晶片封裝體之翹曲程度，而使得基板之下表面係呈現較為平整的狀態。故當晶片封裝體裝配到一母板上時，基板邊緣位置相距母板之間的距離與基板中間位置相距母板之間的距離之間的差距會縮小，因此位在基板邊緣位置的焊球在與母板接合後，即使經過多次熱循環的操作下，亦可以避免產生破裂或剝離的現象。

2. 本發明之晶片封裝結構及其製程，可以大幅提高基板與母板間接合的可靠度。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A圖繪示習知迷你球格陣列封裝在切割之前的上視示意圖。

第1B圖繪示習知迷你球格陣列封裝在切割之後的剖面示意圖。

第2圖至第8圖繪示依照本發明第一較佳實施例之一種迷你球格陣列封裝製程之剖面放大示意圖。

第3A圖繪示第3圖中加勁構件的上視示意圖。

第9圖繪示依照本發明第一較佳實施例之另一種迷你球格陣列封裝製程之剖面放大示意圖。

第10圖及第11圖繪示依照本發明第二較佳實施例之一種迷你球格陣列封裝製程之剖面放大示意圖。

圖式標示說明

102：晶片結構體

110：基板

130：晶片

170：封裝材料

180：導線

182：焊球

210：基板

212：上表面

214：晶片座

216：接點

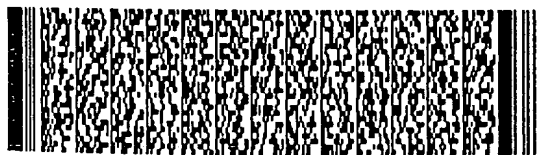
222：下表面

224：接點



圖式簡單說明

- 230 : 晶 片
- 232 : 主 動 表 面
- 234 : 接 點
- 242 : 背 面
- 244 : 黏 著 材 料
- 250 : 加 勁 構 件
- 252 : 頂 部
- 254 : 側 壁 部 份
- 254a : 上 側
- 254b : 下 側
- 256 : 凸 緣
- 258 : 容 納 孔
- 260 : 開 口
- 262 : 頂 面
- 264 : 底 面
- 270 : 模 具
- 272 : 模 穴
- 274 : 頂 壓 部
- 276 : 封 裝 材 料
- 280 : 導 線
- 282 : 焊 球
- 290 : 黏 著 材 料
- 300 : 晶 片 封 裝 體
- 350 : 加 勁 構 件



圖式簡單說明

352 : 頂 部

354 : 側 壁 部 份

354a : 上 側

354b : 下 側

356 : 凸 緣

358 : 容 納 孔

360 : 底 面

362 : 頂 面

400 : 晶 片 封 裝 體



六、申請專利範圍

1. 一種晶片封裝製程，至少包括：

提供一矩陣型基板；

配設複數個晶片於該矩陣型基板上，且該晶片與該矩陣型基板電性連接；

配設一加勁構件於該矩陣型基板上，該加勁構件具有一頂面及對應之一底面，該加勁構件之該底面係朝向該矩陣型基板；

形成一封裝材料以包覆該等晶片、該矩陣型基板、該加勁構件之該頂面及該加勁構件之該底面；以及

切割該封裝材料、該矩陣型基板及該加勁構件，以形成複數個晶片封裝體。

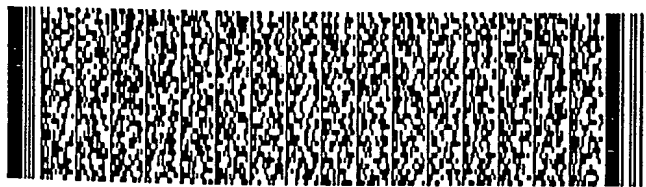
2. 如申請專利範圍第1項所述之晶片封裝製程，其中該加勁構件具有複數個開口，其位置對應於該些晶片配置在該基板上的位置。

3. 如申請專利範圍第1項所述之晶片封裝製程，其中該加勁構件之該底面係朝向該些晶片。

4. 如申請專利範圍第1項所述之晶片封裝製程，其中該散熱構件係藉由一黏著材料與該基板接合。

5. 如申請專利範圍第1項所述之晶片封裝製程，其中在切割該晶片、該基板及該加勁構件之後，還形成複數個焊球於該基板上。

6. 如申請專利範圍第1項所述之晶片封裝製程，其中在切割該晶片、該基板及該加勁構件之前，還形成複數個焊球於該基板上。



六、申請專利範圍

7. 如申請專利範圍第1項所述之晶片封裝製程，其中在配設該晶片於該基板上時，該晶片係藉由一黏著材料貼附於該基板上，且還進行一打線製程以形成複數條導線電性連接該晶片與該基板。

8. 如申請專利範圍第1項所述之晶片封裝製程，其中該加勁構件的材質係為銅。

9. 一種晶片封裝體，至少包括：

一基板；

一晶片，配置在該基板上，且該晶片與該基板電性連接；

一加勁構件，配置在該基板上，該加勁構件具有一頂面及對應之一底面，該加勁構件之該底面係朝向該基板；以及

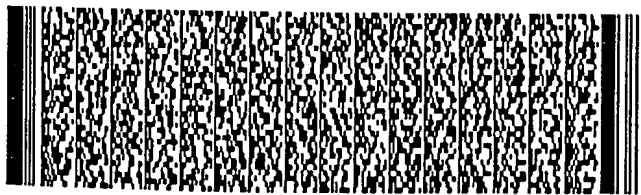
一封裝材料，包覆該晶片、該基板、該加勁構件之該頂面及該加勁構件之該底面。

10. 如申請專利範圍第9項所述之晶片封裝體，其中該加勁構件具有一開口，其位置對應於該晶片配置在該基板上的位置。

11. 如申請專利範圍第9項所述之晶片封裝體，其中該加勁構件之該底面係朝向該晶片。

12. 如申請專利範圍第9項所述之晶片封裝體，還包括複數個導線，而該晶片係貼附於該基板上，藉由該些導線與該基板電性連接。

13. 如申請專利範圍第9項所述之晶片封裝體，其中



六、申請專利範圍

該加勁構件的材質係為銅。

14. 一種晶片封裝體，至少包括：

一薄型基板，該薄型基板的厚度係介於0.5公釐到0.1公釐之間；

一晶片，配置在該薄型基板上，且該晶片與該薄型基板電性連接；

一加勁構件，配置在該薄型基板上；以及

一封裝材料，包覆該晶片、該薄型基板及該加勁構件。

15. 如申請專利範圍第14項所述之晶片封裝體，其中該加勁構件具有一頂面及對應之一底面，該加勁構件之該底面係朝向該薄型基板，而該封裝材料係包覆該加勁構件之該頂面及該加勁構件之該底面。

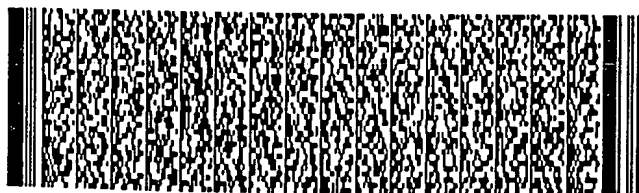
16. 如申請專利範圍第15項所述之晶片封裝體，其中該加勁構件之該底面係朝向該晶片。

17. 如申請專利範圍第14項所述之晶片封裝體，其中該加勁構件具有一開口，其位置對應於該晶片配置在該薄型基板上的位置。

18. 如申請專利範圍第14項所述之晶片封裝體，還包括複數個導線，而該晶片係貼附於該薄型基板上，藉由該些導線與該薄型基板電性連接。

19. 如申請專利範圍第14項所述之晶片封裝體，其中該加勁構件的材質係為銅。

20. 一種加勁構件，包括一頂部、一側壁部份及一凸



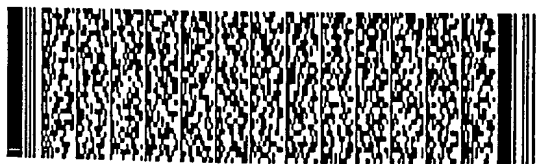
六、申請專利範圍

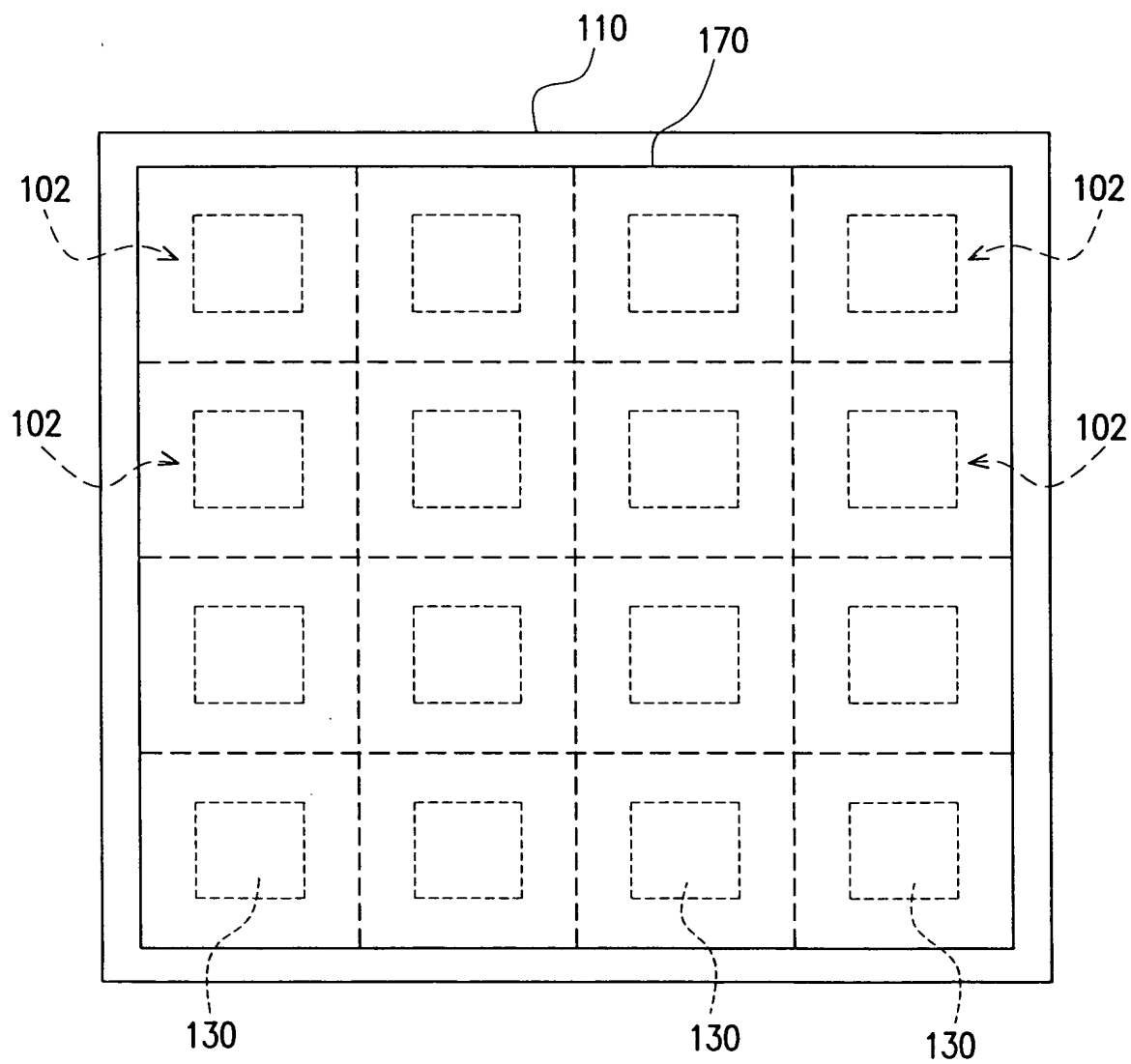
緣，該側壁部份之一側係連接於該頂部，該側壁部份之另一側係連接該凸緣，該側壁部份係傾斜於該頂部，該凸緣係傾斜於該側壁部份，並且該加勁構件還具有至少一開口配置在該加勁構件之該頂部上。

21. 如申請專利範圍第20項所述之加勁構件，具有複數個開口，其係以矩陣排列的方式配置在該加勁構件之該頂部。

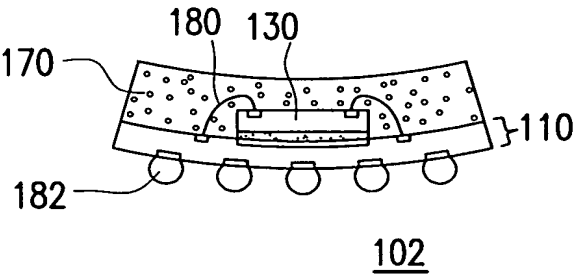
22. 如申請專利範圍第20項所述之加勁構件，其中該凸緣的延伸方向係平行於該頂部。

23. 如申請專利範圍第20項所述之加勁構件，其材質係為銅。

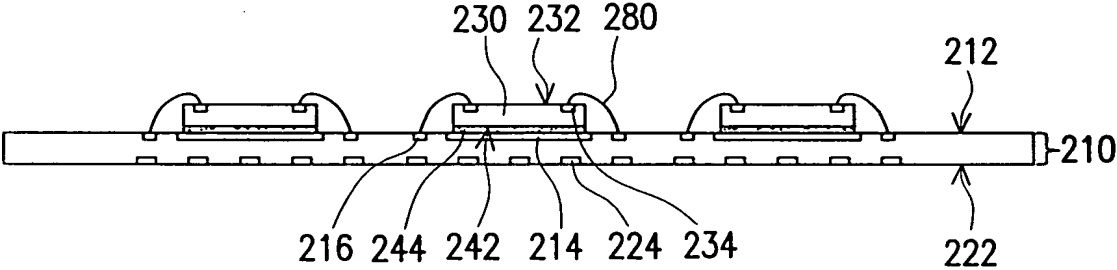




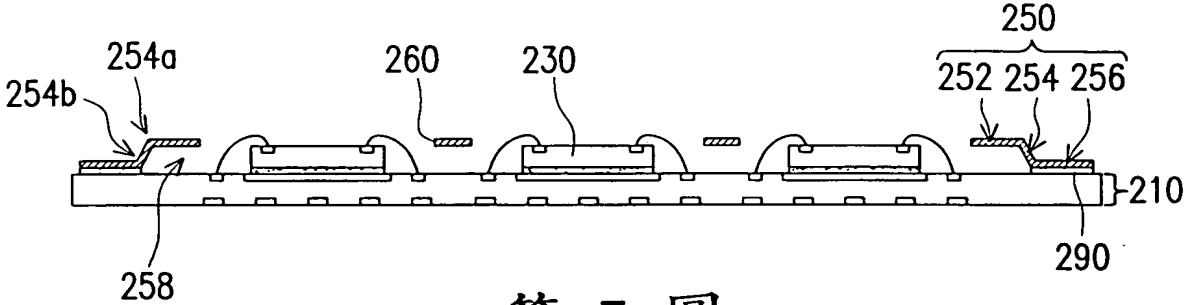
第 1A 圖



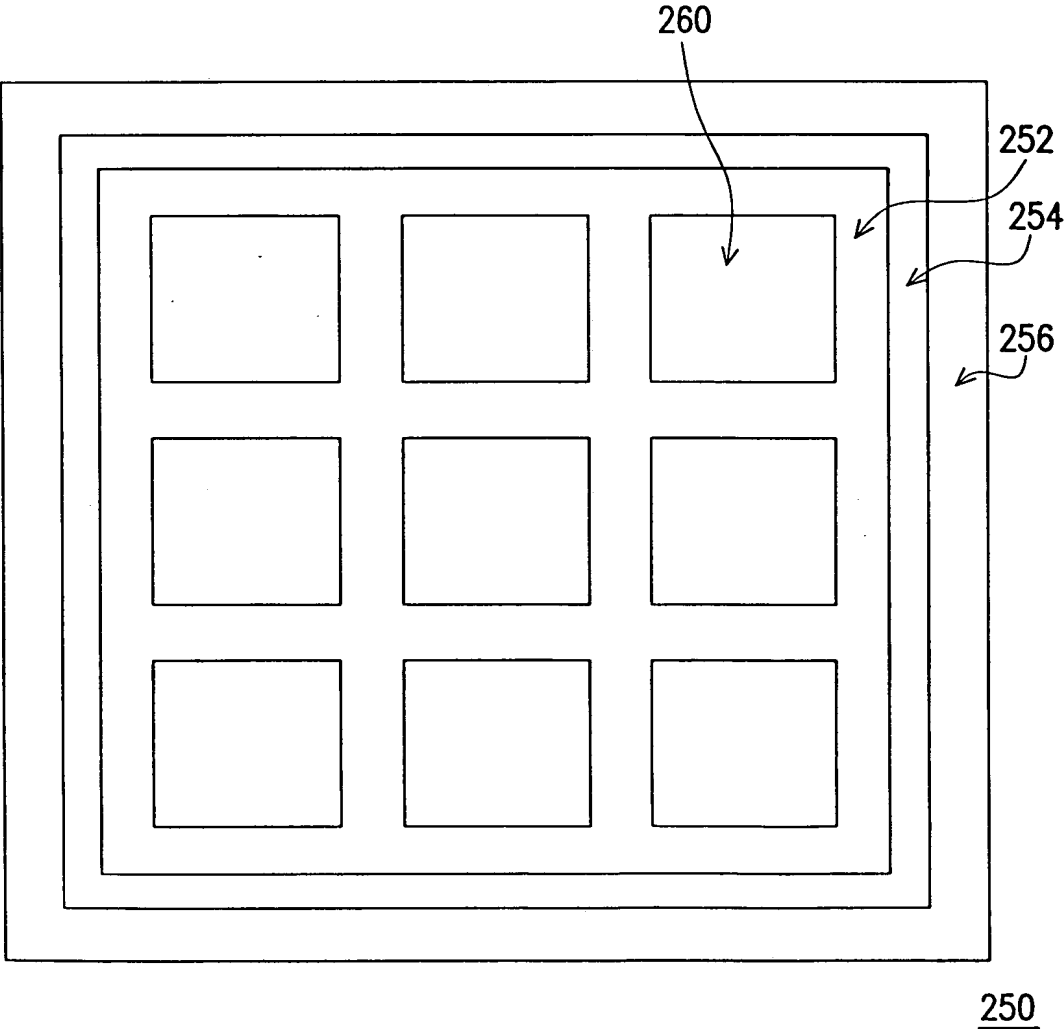
第 1B 圖



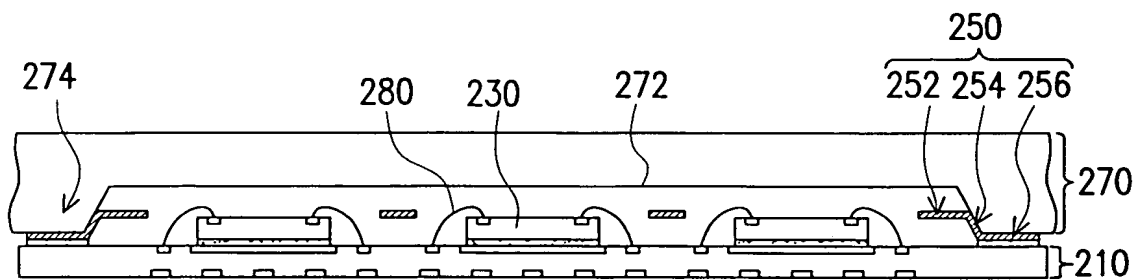
第 2 圖



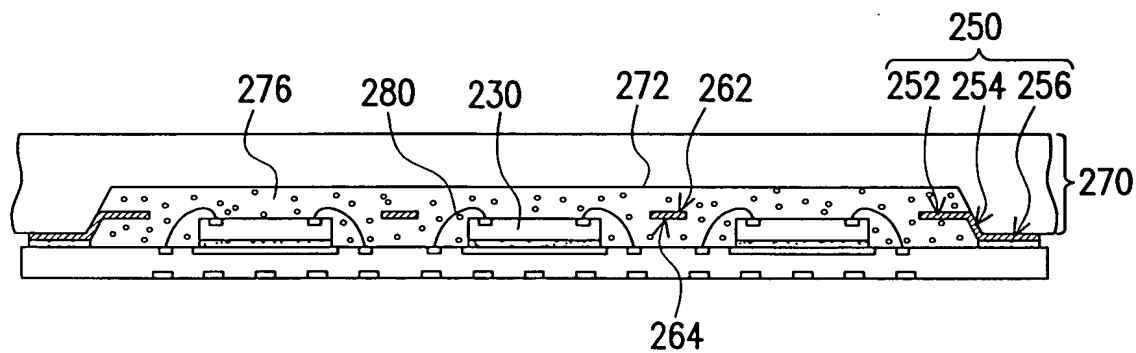
第 3 圖



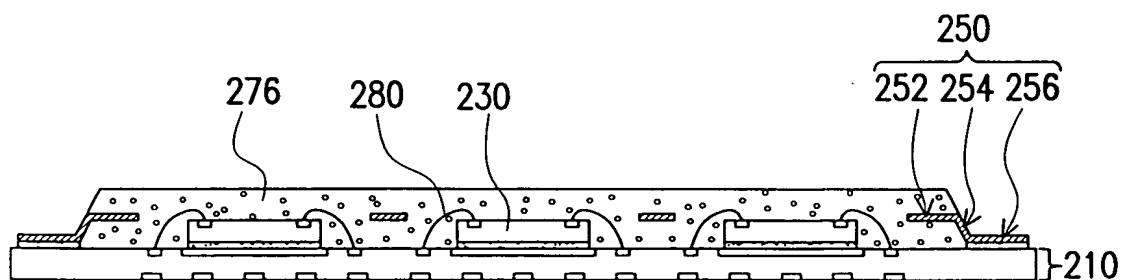
第 3A 圖



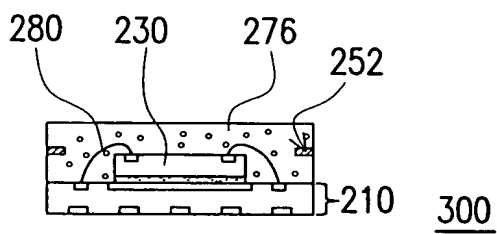
第 4 圖



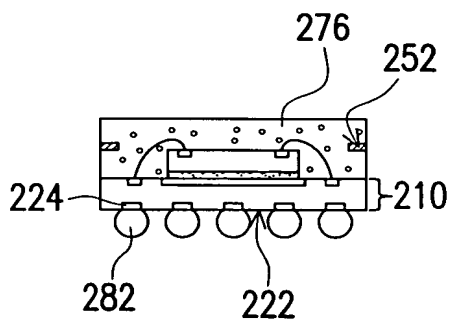
第 5 圖



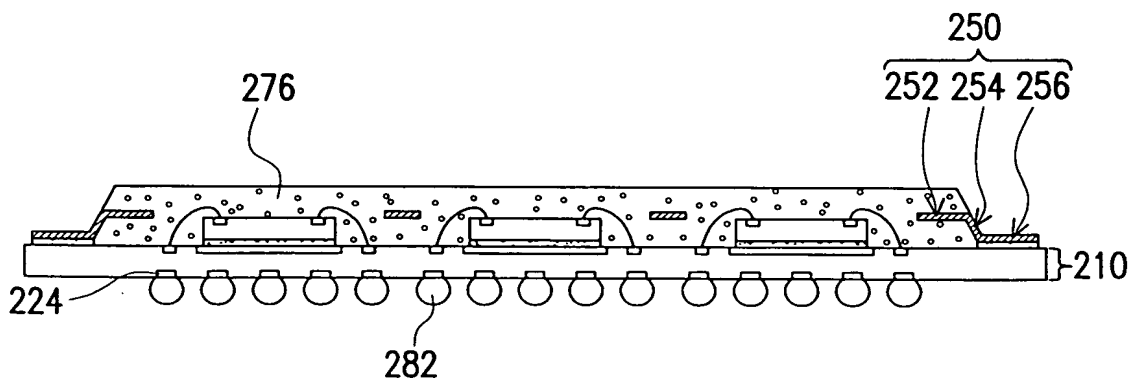
第 6 圖



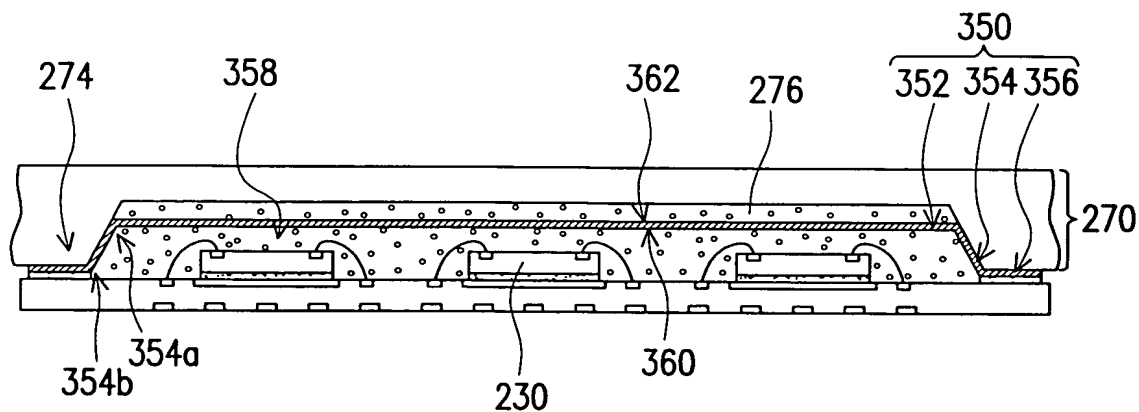
第 7 圖



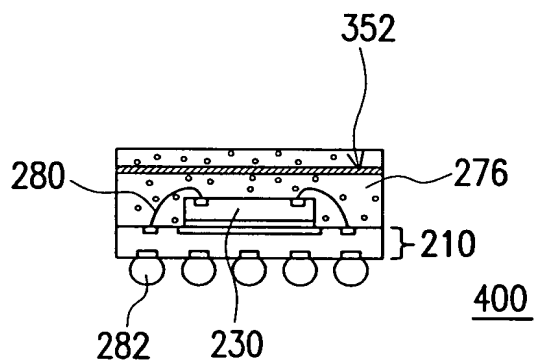
第 8 圖






第 9 圖



第 10 圖



第 11 圖




100

100

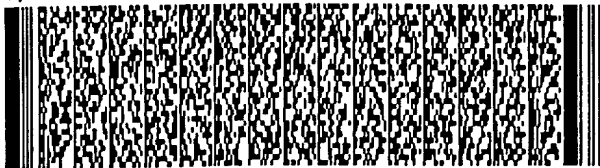
100

100
 101
 102
 103
 104
 105
 106
 107
 108
 109
 110
 111
 112
 113
 114
 115
 116
 117
 118
 119
 120
 121
 122
 123
 124
 125
 126
 127
 128
 129
 130
 131
 132
 133
 134
 135
 136
 137
 138
 139
 140
 141
 142
 143
 144
 145
 146
 147
 148
 149
 150
 151
 152
 153
 154
 155
 156
 157
 158
 159
 160
 161
 162
 163
 164
 165
 166
 167
 168
 169
 170
 171
 172
 173
 174
 175
 176
 177
 178
 179
 180
 181
 182
 183
 184
 185
 186
 187
 188
 189
 190
 191
 192
 193
 194
 195
 196
 197
 198
 199
 200
 201
 202
 203
 204
 205
 206
 207
 208
 209
 210
 211
 212
 213
 214
 215
 216
 217
 218
 219
 220
 221
 222
 223
 224
 225
 226
 227
 228
 229
 230
 231
 232
 233
 234
 235
 236
 237
 238
 239
 240
 241
 242
 243
 244
 245
 246
 247
 248
 249
 250
 251
 252
 253
 254
 255
 256
 257
 258
 259
 260
 261
 262
 263
 264
 265
 266
 267
 268
 269
 270
 271
 272
 273
 274
 275
 276
 277
 278
 279
 280
 281
 282
 283
 284
 285
 286
 287
 288
 289
 290
 291
 292
 293
 294
 295
 296
 297
 298
 299
 300
 301
 302
 303
 304
 305
 306
 307
 308
 309
 310
 311
 312
 313
 314
 315
 316
 317
 318
 319
 320
 321
 322
 323
 324
 325
 326
 327
 328
 329
 330
 331
 332
 333
 334
 335
 336
 337
 338
 339
 340
 341
 342
 343
 344
 345
 346
 347
 348
 349
 350
 351
 352
 353
 354
 355
 356
 357
 358
 359
 360
 361
 362
 363
 364
 365
 366
 367
 368
 369
 370
 371
 372
 373
 374
 375
 376
 377
 378
 379
 380
 381
 382
 383
 384
 385
 386
 387
 388
 389
 390
 391
 392
 393
 394
 395
 396
 397
 398
 399
 400
 401
 402
 403
 404
 405
 406
 407
 408
 409
 410
 411
 412
 413
 414
 415
 416
 417
 418
 419
 420
 421
 422
 423
 424
 425
 426
 427
 428
 429
 430
 431
 432
 433
 434
 435
 436
 437
 438
 439
 440
 441
 442
 443
 444
 445
 446
 447
 448
 449
 450
 451
 452
 453
 454
 455
 456
 457
 458
 459
 460
 461
 462
 463
 464
 465
 466
 467
 468
 469
 470
 471
 472
 473
 474
 475
 476
 477
 478
 479
 480
 481
 482
 483
 484
 485
 486
 487
 488
 489
 490
 491
 492
 493
 494
 495
 496
 497
 498
 499
 500
 501
 502
 503
 504
 505
 506
 507
 508
 509
 510
 511
 512
 513
 514
 515
 516
 517
 518
 519
 520
 521
 522
 523
 524
 525
 526
 527
 528
 529
 530
 531
 532
 533
 534
 535
 536
 537
 538
 539
 540
 541
 542
 543
 544
 545
 546
 547
 548
 549
 550
 551
 552
 553
 554
 555
 556
 557
 558
 559
 560
 561
 562
 563
 564
 565
 566
 567
 568
 569
 570
 571
 572
 573
 574
 575
 576
 577
 578
 579
 580
 581
 582
 583
 584
 585
 586
 587
 588
 589
 590
 591
 592
 593
 594
 595
 596
 597
 598
 599
 600
 601
 602
 603
 604
 605
 606
 607
 608
 609
 610
 611

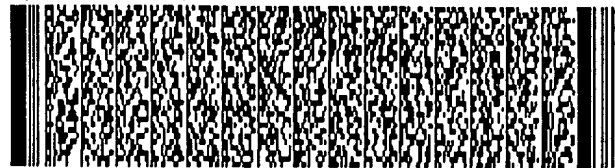




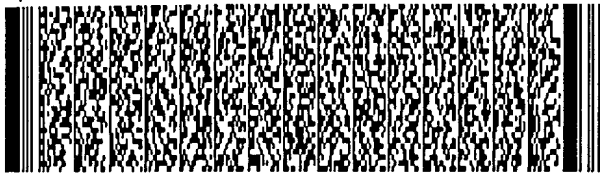
第 11/22 頁



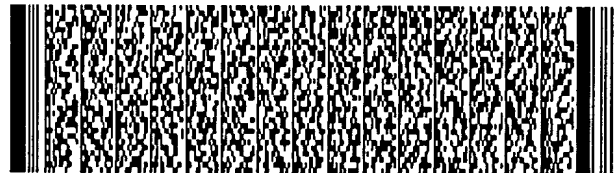
第 11/22 頁



第 12/22 頁



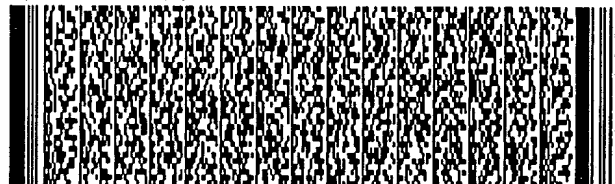
第 12/22 頁



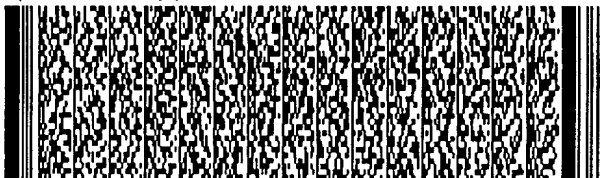
第 13/22 頁



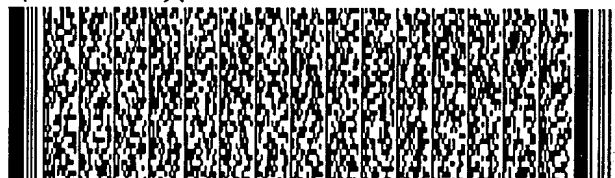
第 13/22 頁



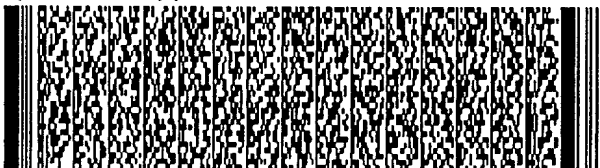
第 14/22 頁



第 14/22 頁



第 15/22 頁



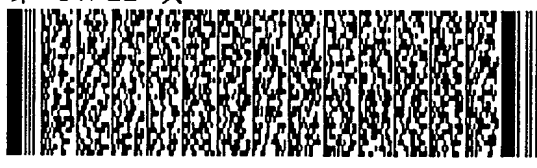
第 15/22 頁



第 16/22 頁



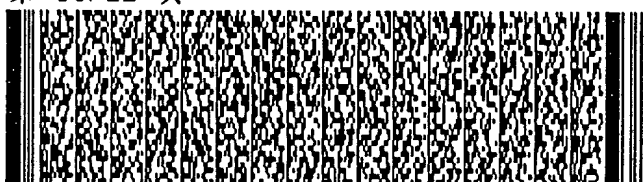
第 17/22 頁



第 18/22 頁



第 19/22 頁



第 20/22 頁



第 21/22 頁

